

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-241146

(43)Date of publication of application : 26.09.1989

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 63-067108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.03.1988

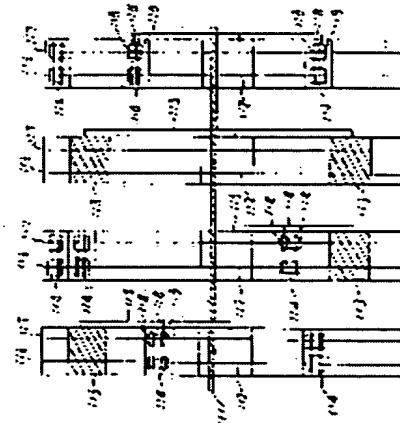
(72)Inventor : KURIBAYASHI MOTOTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce a clock skew without lowering the utility of the whole chip by inserting a cell for load anew by employing a fundamental cell in a master slice not used by automatic arrangement or automatic wiring and approximately equalizing the capacity load of each clock driver.

CONSTITUTION: A plurality of clock drivers 112, which are dispersed and disposed onto a semiconductor chip and over which system clock signals are transmitted, main cells 113, over which clock signals 115 are transmitted from these clock drivers 112, and clock wirings connecting fundamental gates 114 not used as functional cells 10b in fundamental gates to the clock drivers 112 are provided. The number of the clock wirings is determined so that the load of the clock drivers 112 is equalized. Accordingly, a transistor not employed is utilized for making the load of the clock drivers 112 equal, and a dummy cell for load need not be inserted anew; thus reducing clock skew without diminishing utility.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanes Publication for Unexamined Pat nt Applicati n
No. 241146/1989 (Tokukaihei 1-241146)

A. Relevance of the Above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

See the attached English Abstract.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開

④ 公開特許公報 (A) 平1-241146

Int.Cl. I 21/02 ④公開 平成1年(1989)9月26日
21/04 ④特許号 N-725-5F
④出願番号 A-754-5F

④発明の名称 半導体集積回路装置及びその製造方法

④特許願 昭63-07108
④出願 昭63(1988)3月23日

④発明者 林 裕 元 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所
内

④出願人 式会社 東芝
④代理人 井理士 则近 慎佑 外1名

〔特許請求の範囲〕

(1) 1つの半導体チップ内に、トランジスタにより構成される基本ゲートを予め複数マトリックス状に集積形成し、これら基本ゲートを適宜に配線して所望の論理機能を有する機能セルを構成し、これら機能セルを適宜に配線して所望の論理動作を実行する論理回路を構成するようになるマスタースライス型の半導体集積回路において、半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバと、これらのクロックドライバからクロック信号が供給されるメインセルと、前記基本ゲートのうち機能セルを構成するために使用されなかった基本ゲートを前記クロックドライバ内に接続するクロック配線を具備し、前記クロック配線の数は、前記各クロックドライバの負荷が均一化するようにより決定されるものであることを特徴とする半導体集積回路装置。

(2) クロックドライバに接続される基本ゲートのソース及びドレンの両電位が、電源またはグランドの電位に等しく保たれることを特徴とする請求項1記載の半導体集積回路装置。

(3) 前記マスタースライス型の半導体集積回路は、チップ内に基本ゲート領域と配線のためのチャネル領域が区別されているもの、及びチップ内に基本ゲートが全面に敷詰められているものを許すこととする請求項1記載の半導体集積回路装置。

(4) システムクロック信号を分散して配置されたクロックドライバに供給し、該ドライバからメインセルにクロック信号を供給する半導体集積回路装置の製造方法において、各クロックドライバの担当する領域内のメインセルの数に応じて、前記未使用基本ゲートへのクロック配線の本数を決定することを特徴とする半導体集積回路装置の製造方法。

(5) 前記未使用基本ゲートへのクロック配線を行う場合、全ての配線が終了した後に、空き領域を探して結線することを特徴とする請求項4記載の半導体集積回路装置の製造方法。

【半導体集積回路 マスタースライス 基本ゲートクロックドライバチップ エーティリティ キューメインセル トランジスタミ-】

〔5〕【要約】

(目的) 自動配線又は手動配線によって使用されないマスタースライスの基本ゲートを使用して各クロックドライバの各負荷をほぼ等しくさせることにより、新たに負荷セルを伸入してチップ全体のユーティリティの低下を起すことなくクロックスキューの低減を可能にする。

〔構成〕 半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバ112と、これらのクロックドライバ112からクロック信号116が供給されるメインセル113と、基本ゲートのうち機能セル110bとして使用されなかった基本ゲート114をクロックドライバ112に接続するクロック回路とを構成する。そしてクロック配線の数は、クロックドライバ112の負荷が均一化するよう決定する。これにより未使用トランジスタをクロックドライバ112の負荷を等しくするために利用し、新たに負荷用ダイセルを挿入しなくてよく、ユーティリティを減少させることなく、クロックスキューを低減することができる。

⑨ 日本国特許庁 (JP) ① 特許出願公開

② 公開特許公報 (A) 平1-241146

⑤Int.Cl. H 01 L 21/82 ⑥公報番号 M-7825-5F
27/04 ⑦出願日 1988年3月23日
審査請求未請求 請求項の数 5 (全8頁)

⑧発明の名稱 半導体基板回路装置及びその製造方法

⑨特許請求の範囲 ⑩公明 幸司 ⑪代理人 井理人 ⑫出願人 株式会社東芝研究所
所内 神奈川県川崎市幸区栗東町1 株式会社東芝総合研究
所内 神奈川県川崎市幸区栗東町72番地

⑬明細書
1. 発明の名稱
半導体基板回路装置及びその製造方法
2. 明細書の範囲

3. 明細書及びその製造方法

4. 明細書の範囲

5. 明細書及びその製造方法

6. 明細書の範囲

7. 明細書の範囲

8. 明細書の範囲

9. 明細書の範囲

10. 明細書の範囲

11. 明細書の範囲

12. 明細書の範囲

13. 明細書の範囲

14. 明細書の範囲

15. 明細書の範囲

16. 明細書の範囲

17. 明細書の範囲

18. 明細書の範囲

19. 明細書の範囲

20. 明細書の範囲

21. 明細書の範囲

22. 明細書の範囲

23. 明細書の範囲

24. 明細書の範囲

25. 明細書の範囲

26. 明細書の範囲

27. 明細書の範囲

28. 明細書の範囲

行う場合、全ての配線が印字した後に、空合図
地を残して基板することを特徴とする請求項4

記載の半導体基板回路装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(発明の利用分野)

本発明は、マスクライス方式で設計され
る半導体基板回路に係わり、特にクロロドライバの配線を、大
きな改善をはかった半導体基板回路装置及びその
製造方法に関するもの。

(従来の技術)

近年、集成回路の大規模化が進むに伴い、クロ
ロドライバの設計に従事する必要が生じ
ている。大規模集積回路においては、一つのクロ
ロドライバ位に同期して多段のゲートやリップフロ
ア等が動作する。従って、クロロドライバ位はレ
イアウト設計段階で全面に振り渡され、多段
のファンクションが生じる。このような大規模回路においては、1箇所のシス
テムクロロドライバ位から直結をゲートやリップ
フロア等が均一に分配され、自動配線、配線アローグムでレイアウトする場合、フリップ、フロップ等が均一に分配

されることを特徴とする半導体基板回路装置。

(2) クロロドライバ位に接続される基本ゲート
のソース及びドレインの配線方法ドレンドの電位に等しく保たれることを特徴と
する請求項1記載の半導体基板回路装置。(3) 前記マスクライス方式の半導体基板回路
は、チップ内に基本ゲートを複数と配線のための
チャミル回路が区別されているもの、及びチ
ップ内で基本ゲートが全面に配置されることなら
ず、この回路が複数なものとなるもの、又チ
ップ内で基本ゲートを複数して所定の範
囲動作を実行する基板セールを複数個を設
けるマスクライス方式の半導体基板回路装置。(4) レジストマスククロロドライバ位を分離して配置され
たクロロドライバ位に接続される複数回路のクロ
ロドライバと、これらのクロロドライバから
クロロドライバ位が供給されるマイシンセルと、前
記基本ゲートのうち基板セールを構成するために
使用されなかった基本ゲートを前記クロロドライ
バ位に接続するクロロドライバ位を具備し、前記
クロロドライバ位は、前記各クロロドライバ
の負担が均一化するよう前に決定されるもので
ある。(5) 前記各使用基本ゲートへのクロロドライバ
の配線が均一化するように決定されるもので
ある。このように、マスクライス方式で配線され
たクロロドライバ位に接続される半導体基
板回路装置のクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(6) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(7) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(8) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(9) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(10) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(11) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。(12) 前記各使用基本ゲートへのクロロドライ
バ位に接続するクロロドライバ位を複数個と
して配線された複数個のクロロドライバ位を
使用して分離して供給する方式は、目的レイア
トする場合各クロロドライバ位の容量負担
が均一化され、結果的にクロロドライバ
の配線が均一化され、結果的にクロロドライ
バ位の容量負担が均一化される。クロロドライバ位にクロロドライバを供給する代りに、
クロロドライバ位を分離して配線することを特徴とした複数の
クロロドライバ位に接続する半導体基板回路装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(発明の利用分野)

この方式においては、主にクロロドライバの底
抗力を低減することを目的として、システム

配置した場合、スマークの発生はほぼ無効である。

しかしながら、各クロロドライバ位に接続

されるフリップフロア等の回路、回路負荷が公
式化されないために、各々のフリップフロア等に供給されるクロロドライバ位にはスマークが生
じる。

では、クロロドライバは、各クロロドライバ位に接

続する場合、スマークの発生はほぼ無効である。

しかし、各クロロドライバ位に接続

されるクロロドライバ位の回路、回路負荷が公
式化されないために、各々のフリップフロア等に供給されるクロロドライバ位にはスマークが生
じる。

法は、第 6 図や第 10 図に何を記述されるものでない。その他、本発明の要旨を説明しない範囲で、開き表示して説明することができる。

(発明の効果)

以上述べたように本発明によれば、本使用トランジスタをクロックドライバの負荷を導くために用いし、新たに負荷用ドミセルを導入してよく、ユーティティを減少させることなく、クロックスイッチャーを低減することができる。

4. 図面の簡略化説明

第 1 図乃至第 11 図は本発明の一実施例を説明するためのもので、第 1 図はチャップレス方式のマスクライスににおけるクロック配線状態を示す図、第 2 図は上記チャップレス方式のマスクライスの構造を示す図、第 3 図は上記マスクライスの基本セルの構造を示す図、第 4 図乃至第 6 図は本発明を対してセグメント化してレイアウトを行う場合のセル別の構成の一例を示す図、第 9 図は従来方式におけるクロック依存段を示す図、第 10 図は本発明を実現する一

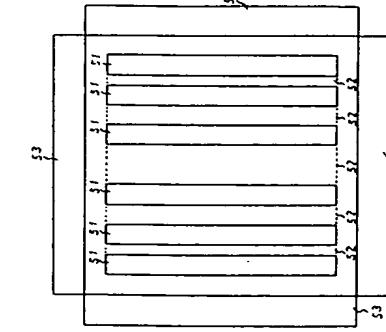
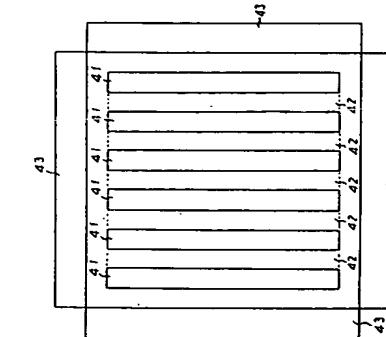
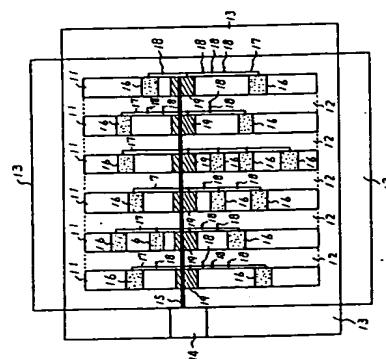
手順を示したフローネーティート、第 8 図は、本使用マートのマスクの様子とトランジスタのソース、ドレインの位置を導くために電源を導入するための配線を示す図、第 9 図はマスクライスのチャップの構造を示した図、第 10 図は従来方式におけるクロック依存段を示す図、第 11 図は本発明によるクロック配線状態を示す図である。

1.1、4.1、5.1、6.1…セル列、1.2、2.2、4.2、5.2、6.2…電極領域(チャップ)、1.3、2.3、4.3、5.3、6.3、9.3…周辺入出力回路(またはトランジスタ)、1.4、6.4…システムクロック発生器、1.5、6.5、8.2、1.0.1、1.1.1…クロック信号タイマー、1.6、6.6、1.0.3、1.1.3…メインセル、1.7、6.7、9.4、1.0.5、1.1.5…クロック信号タイマー、1.8、8.8…ゲートと接続するクロック信号、1.9、6.1、1.0.2、1.1.2…クロックドライバ依存段を示す図、第 7 図は本発明を実現する一

手順、2.1…基本セル、3.1、3.2…並列領域、3.3…ゲリリコンゲート、3.4…マコンタクト、3.5…クロックドライバ出力端子、6.5、6.6、1.1.0、1.1.7…電源またはグランド、6.7…電源とトランジスタのソースまたはドレインと接続する配線、6.8、1.1.8…コンタクト、8.10…クロックドライバの人力端子、1.0.4、1.1.4…電極セルとして使用されたかつた基本セル、1.0.6…電極セル。

代理人 今井士郎 田近 雄一
国 田松山光之

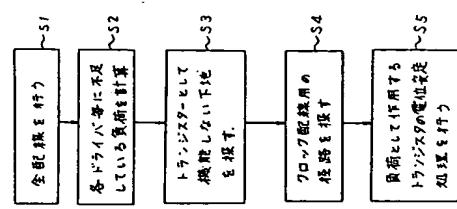
第 1 図



第 3 図 第 4 図

第 5 図

特開平1-241146(7)



第 7 図

